

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010162
(43)Date of publication of application : 16.01.1998

(51)Int.Cl. G01R 19/00
G01R 15/08

(21)Application number : 08-182757 (71)Applicant : ADVANTEST CORP
(22)Date of filing : 24.06.1996 (72)Inventor : SANNOMARU EIJI

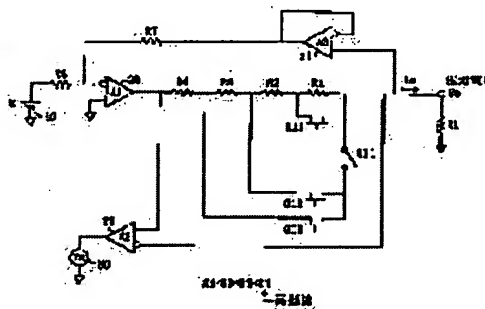
(54) CURRENT DETECTION CIRCUIT, VOLTAGE APPLYING CURRENT MEASURING CIRCUIT AND CONSTANT CURRENT SOURCE CIRCUIT EMPLOYING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the required number of relays as much as possible by providing a relay for preventing the leak current of a switch between the common end of a plurality of switches and a load thereby opening/closing the plurality of switches through a single relay.

SOLUTION: Current detection resistors R3, R2 and R1 are short-circuited through semiconductor switches Q11, Q12, Q13 depending on the magnitude of a current I_0 flowing through a load RL.

Potential difference between respective current detection resistors is then passed through a differential amplifier 22 and converted into a detection voltage V_m . When a relay K11 is turned on and the semiconductor switches Q11, Q12, Q13 are turned off, the current detection resistors R4, R3, R2 and R1 are added in series to bring about a high resistance. An error is generated in the detection voltage due to the leak current of the semiconductor switch Q12 and Q13. In order to eliminate the error, the relay K11 is turned off.



LEGAL STATUS

[Date of request for examination] 25.04.2003
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10162

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.⁶

G 0 1 R 19/00
15/08

識別記号

庁内整理番号

F I

G 0 1 R 19/00
15/08

技術表示箇所

B
Z

審査請求 未請求 請求項の数 4 F D (全 5 頁)

(21) 出願番号 特願平8-182757

(22) 出願日 平成 8 年(1996) 6月24日

(71) 出願人 390005175

株式会社アドバンテスト
東京都練馬区旭町1丁目32番1号

(72) 発明者 山王丸 英二

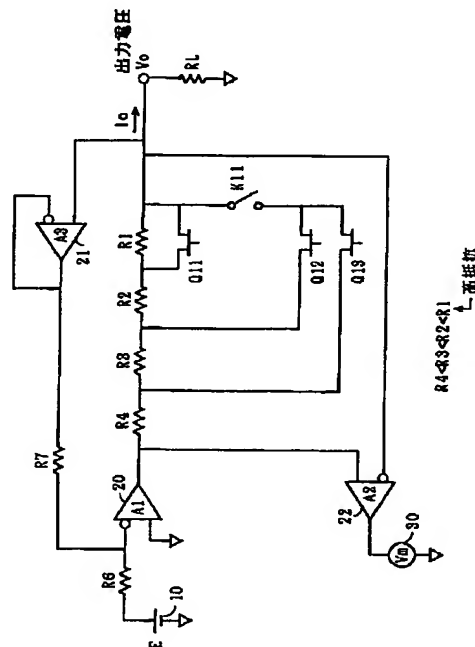
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(54) 【発明の名称】 電流検出回路並びに該回路を用いる電圧印加電流測定回路及び定電流源回路

(57) 【要約】

【課題】 本発明は、電流検出抵抗の切り換えをするリレー防止用のリレーを少なくした電流検出回路を提供する。

【解決手段】 抵抗値が $R_4 < R_3 < R_2 < R_1$ のとき、高抵抗値の抵抗 R_1 を負荷 R_L 側にして直列接続した前記複数の抵抗 R_1 、 R_2 、 R_3 、 R_4 と、前記抵抗 R_1 と並列に該抵抗 R_1 をショートするスイッチ 11 と、前記抵抗 R_1 、 R_2 と並列に該抵抗 R_1 、 R_2 をショートするスイッチ 12 と、前記抵抗 R_1 、 R_2 、 R_3 と並列に該抵抗 R_1 、 R_2 、 R_3 をショートするスイッチ 13 と、前記スイッチ 12 、 13 の一端を共通にして、負荷 R_L との間に該スイッチ 12 、 13 のリーク電流を防止するリレー $K11$ を設け、複数のスイッチ 12 、 13 を一つのリレー $K11$ で開閉することによりリレーの必要数を削減した解決手段。



【特許請求の範囲】

【請求項1】 アンプ(20)の出力と負荷(RL)との間に直列に接続した複数の電流検出抵抗(R1、R2、R3、R4)を流れる電流により発生する電位差を検出し、前記負荷(RL)に流れる電流を求める電流検出回路において、

抵抗値が $R4 < R3 < R2 < R1$ のとき、高抵抗値の電流検出抵抗(R1)を負荷(RL)側にして直列接続した前記複数の電流検出抵抗(R1、R2、R3、R4)と、

前記電流検出抵抗(R1)と並列に該電流検出抵抗(R1)をショートするスイッチ(11)と、

前記電流検出抵抗(R1、R2)と並列に該電流検出抵抗(R1、R2)をショートするスイッチ(12)と、前記電流検出抵抗(R1、R2、R3)と並列に該電流検出抵抗(R1、R2、R3)をショートするスイッチ(13)と、

前記スイッチ(12、13)の一端を共通にして、負荷(RL)との間に該スイッチ(12、13)のリーク電流を防止するリレー(K11)を設け、複数のスイッチ(12、13)を一つのリレー(K11)で開閉することによりリレーの必要数を削減したことを特徴とした電流検出回路。

【請求項2】 電流検出抵抗を5個以上とした請求項1記載の電流検出回路。

【請求項3】 請求項1または2記載の電流検出回路を用いる電圧印加電流測定回路。

【請求項4】 請求項1または2記載の電流検出回路を用いる定電流源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷に流れる電流を、電流の大きさに応じて直列接続された複数の電流検出抵抗を切り換えて、電位差として検出する電流検出回路に関する。

【0002】

【従来の技術】従来の例について、図3を参照して説明する。図3に示すように、従来の構成は、基準電圧源10と、アンプ20と、ゲインを決める抵抗R6、R7と、バッファアンプ21と、電流検出抵抗R1～R4と、半導体スイッチQ21、Q22、Q23と、リレーK21、K22と、差動アンプ22と、電圧測定手段30とで構成している。

【0003】この構成により負荷RLに定電圧を印加して、負荷RLに流れる電流を電流検出抵抗R1～R4で電圧に変換して測定している。

【0004】次に、図3の電流検出回路の動作について説明する。基準電圧源10の電圧Eは、アンプ20とゲインを決める抵抗R6、R7とで所望の電圧Voに増幅し、高入力インピーダンスのバッファアンプ21により

電圧帰還をかけて負荷RLに印加する電圧Voを定電圧化する。

【0005】また、アンプ20から出力される電流Ioは、直列に接続された電流検出抵抗R1、R2、R3、R4を介して負荷RLに流れる。

【0006】ここで、電流検出抵抗R1、R2、R3、R4は、 $R1 > R2 > R3 > R4$ であり、アンプ20側が高抵抗で、負荷RL側が低抵抗となっている。

【0007】そして、電流検出抵抗R1、R2、R3、R4は、負荷RLに流れる電流Ioの大きさに応じて、半導体スイッチQ21、Q22、Q23と、リレーK21、K22とで、電流検出抵抗R4、R3、R2、R1を切り換えている。

【0008】また、電流検出抵抗間の電位差を差動アンプ22により差動増幅し、検出電流を電圧に変換して検出電圧Vmを得ている。

【0009】そして、電流検出抵抗値は、半導体スイッチQ21がONで、半導体スイッチQ22、Q23とリレーK21、K22とがOFFのときの電流検出抵抗値は、 $R2 + R3 + R4$ となる。

【0010】また、電流検出抵抗値は、半導体スイッチQ21、Q22とリレーK21がONで、半導体スイッチQ23とリレーK22とがOFFのときの電流検出抵抗値は、 $R3 + R4$ となる。

【0011】そして、電流検出抵抗値は、半導体スイッチQ21、Q22、Q23とリレーK21、K22がONのときの電流検出抵抗値は、R4となる。

【0012】ところで、半導体スイッチQ12、Q13と直列に挿入したリレーK21とリレーK22は、加算した直列の $R4 + R3 + R2 + R1$ が高抵抗となるために、半導体スイッチQ22、Q23にMOS-FETを使用した場合のリーク電流を防止するために挿入している。

【0013】次に具体例で説明すると、電流検出抵抗R4、R3、R2、R1をそれぞれ1Ω、9Ω、90Ω、0.9kΩとし、半導体スイッチQ21は切り換える電流が小さいのでリーク電流の小さいJ-FETを、半導体スイッチQ22、Q23は切り換える電流が大きいのでMOS-FETを使用する。

【0014】例えば、検出電圧が1Vの場合、半導体スイッチQ21のJ-FETのリーク電流は約1nAで小さいが、半導体スイッチQ22、Q23のMOS-FETは約1μAである。

【0015】ここで、検出電圧が1Vのとき合成した直列抵抗値は1kΩとなり、電流は1mA流れるので、半導体スイッチQ21のJ-FETによる影響は無視でき、リレーK21とリレーK22が無い場合、半導体スイッチQ22、Q23のMOS-FETに流れる電流が合計で2μAあるので、約2mVの電圧誤差となる。従って、測定電圧を4デジットの1000mVで測定すれば

ば2デジットの誤差となる。

【0016】一方、リレーK21とリレーK22を挿入することによるリーク電流はそれぞれ100nA程度であるので、この2つのリレーを挿入することによる誤差電圧は約0.2mVになるので、測定電圧を4デジットの1000mVで測定すれば0.2デジットの誤差となりリーク電流による誤差は無視できる。

【0017】

【発明が解決しようとする課題】上記説明のように、電流検出抵抗が高抵抗になったときは、半導体スイッチのリーク防止用のリレーを直列に挿入する必要があるが、そのため電流検出抵抗が多くなるとリレーも増加することになりコストが上昇し実用上の問題があった。そこで、本発明は、こうした問題に鑑みなされたもので、その目的は、電流検出抵抗によるレンジ切り換えをするリーク防止用のリレーを少なくした電流検出回路を提供することを目的としている。

【0018】

【課題を解決する為の手段】即ち、上記目的を達成するためになされた請求項1に記載の発明は、アンプ20の出力と負荷RLとの間に直列に接続した複数の電流検出抵抗R1、R2、R3、R4)を流れる電流により発生する電位差を検出し、前記負荷RLに流れる電流を求める電流検出回路において、電流検出抵抗値が $R4 < R3 < R2 < R1$ のとき、高抵抗値の電流検出抵抗R1を負荷RL側に直列接続した前記複数の電流検出抵抗R1、R2、R3、R4と、前記電流検出抵抗R1と並列に該電流検出抵抗R1をショートするスイッチ11と、前記電流検出抵抗R1、R2と並列に該電流検出抵抗R1、R2をショートするスイッチ12と、前記電流検出抵抗R1、R2、R3と並列に該電流検出抵抗R1、R2、R3をショートするスイッチ13と、前記スイッチ12、13の一端を共通にして、負荷RLとの間に該スイッチ12、13のリーク電流を防止するリレーK11を設け、複数のスイッチ12、13を一つのリレーK11で開閉することによりリレーの必要数を削減したことを特徴とした電流検出回路を要旨としている。

【0019】そして、上記目的を達成するためになされた請求項2に記載の発明は、電流検出抵抗を5個以上とした請求項1記載の電流検出回路を要旨としている。また、上記目的を達成するためになされた請求項3に記載の発明は、請求項1記載の電流検出回路を用いる電圧印加電流測定回路を要旨としている。

【0020】さらに、上記目的を達成するためになされた請求項4に記載の発明は、請求項1記載の電流検出回路を用いる定電流源回路を要旨としている。

【0021】

【発明の実施の形態】本発明の実施の形態は、下記の実施例において説明する。

【0022】

【実施例】

(実施例1) 本発明の実施例1について、図1を参照して説明する。構成は、図1に示すように、基準電圧源10と、アンプ20と、ゲインを決める抵抗R6、R7と、バッファアンプ21と、電流検出抵抗R1～R4と、半導体スイッチQ11、Q12、Q13と、リレーK11、差動アンプ22と、電圧測定手段30とで構成している。この構成により負荷RLに定電圧を印加して、負荷RLに流れる電流を検出している。

10 【0023】次に、電流検出回路の動作について説明する。基準電圧源10の電圧Eは、アンプ20と抵抗R6、R7と、高入力インピーダンスのバッファアンプ21とで所望の定電圧Voに増幅して、負荷RLに電圧を印加される。アンプ20から出力される電流Ioは直列に接続された電流検出抵抗R4、R3、R2、R1を介して負荷RLに流れる。

20 【0024】そして、負荷RLに流れる電流Ioは、その電流の大きさに応じて半導体スイッチQ11、Q12、Q13により電流検出抵抗R3、R2、R1をショートして、各電流検出抵抗間の電位差を差動アンプ22により差動増幅し、検出電流を電圧に変換して検出電圧Vmが得られる。

【0025】また、電流検出抵抗R4、R3、R2、R1は、 $R4 < R3 < R2 < R1$ であり負荷側が、高抵抗となっている。また、電流検出抵抗をショートする半導体スイッチQ11、Q12、Q13との共通接続点も負荷側とする。

30 【0026】次に、リレーK11をONとして、半導体スイッチQ21、Q22、Q23がOFFのとき、電流検出抵抗値は加算した直列の $R4 + R3 + R2 + R1$ の加算した抵抗値となり高抵抗値となる。

【0027】この場合、半導体スイッチQ22、Q23のリーク電流により検出電圧に誤差を生じる。これを防止するために、リレーK11をOFFとする。

【0028】具体的には、電流検出抵抗R4、R3、R2、R1をそれぞれ1Ω、9Ω、90Ω、0.9kΩとし、半導体スイッチQ21をJ-FET、半導体スイッチQ22、Q23をMOS-FETとする。

40 【0029】ところで、この実施例1の構成では、電流検出用の抵抗が4つの場合で説明したが、測定レンジを拡大して電流検出抵抗の数が増加した場合でも、追加するスイッチの一端を共通にすることでリレーは一つのK1のみで、リーク電流による誤差の防止ができる。

【0030】(実施例2) 本発明の実施例2について、図2を参照して説明する。構成は、図2に示すように、基準電圧源10と、アンプ20と、ゲインを決める抵抗R8、R9と、電流検出抵抗R1～R4と、半導体スイッチQ11、Q12、Q13と、リレーK11、帰還アンプ23とで構成している。

50 【0031】この構成により、アンプ20で出力される

電流 I_o は、直列に接続された電流検出抵抗 R_4 、 R_3 、 R_2 、 R_1 を介して負荷 R_L に流れ、電流検出抵抗に流れる電流による電位差を帰還アンプ23と抵抗 R_9 でアンプ20の入力に帰還して、基準電圧源10の電圧 E を電流源に変換するアンプ20の電流出力 I_o の定電流化をはかっている。

【0032】また、負荷 R_L に印加する定電流 I_o は電流検出抵抗 $R_1 \sim R_4$ の合成抵抗を切り換えることにより変更できる。電流検出抵抗 $R_1 \sim R_4$ の合成抵抗を切り換える電流検出回路の動作については実施例1と同じ

【0033】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。即ち、レンジ切り換えのリレーが削減できるので検出回路の信頼性の向上と低価格な電流検出回路を得ることができ、また実装スペースも小さくてすむ効果がある。

【図面の簡単な説明】

【図1】本発明の電流検出回路と該電流検出回路を用い*

*た電圧印加電流測定回路である。

【図2】本発明の電流検出回路を用いた定電流源回路である。

【図3】従来の電流検出回路と該電流検出回路を用いた電圧印加電流測定回路である。

【符号の説明】

10 基準電圧源

20 アンプ

21 バッファアンプ

22 差動アンプ

23 帰還アンプ

30 電圧測定手段

R_1 、 R_2 、 R_3 、 R_4 電流検出抵抗

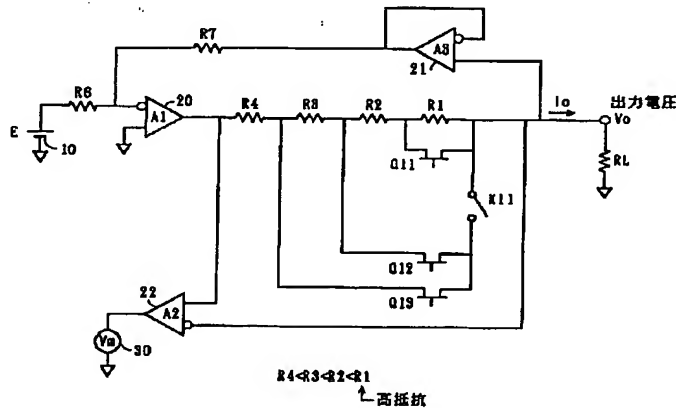
R_6 、 R_7 抵抗

R_L 負荷

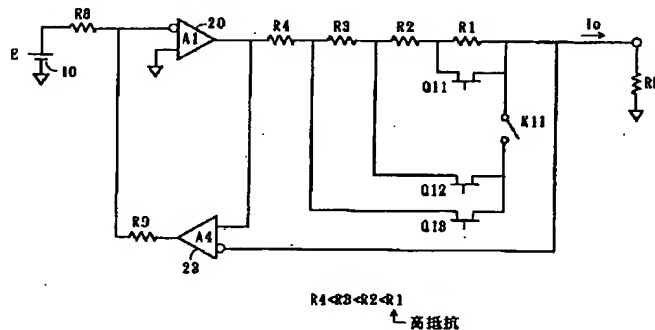
Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{21} 、 Q_{22} 、 Q_{23} 半導体スイッチ

K_{11} 、 K_{21} 、 K_{22} リレー

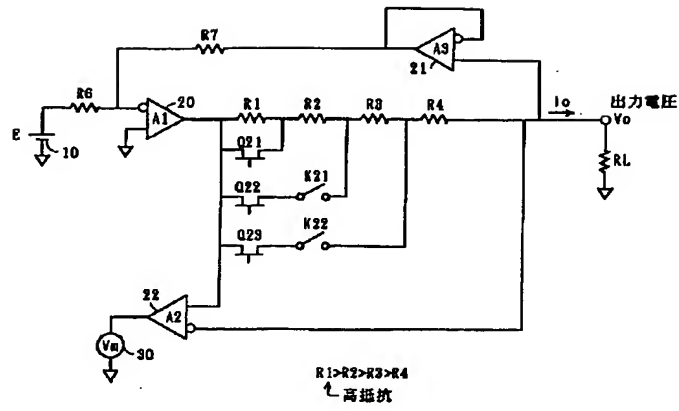
【図1】



【図2】



【図3】



This Page is inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox